Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет   
информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Дисциплина: Арифметические и логические основы вычислительной техники

К ЗАЩИТЕ ДОПУСТИТЬ

\_\_\_\_\_\_\_\_\_\_И. В. Лукьянова

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовой работе  
на тему

ПРОЕКТИРОВАНИЕ И ЛОГИЧЕСКИЙ СИНТЕЗ СУММАТОРА-УМНОЖИТЕЛЯ ДВОИЧНО-ЧЕТВЕРИЧНЫХ ЧИСЕЛ

БГУИР КР 1-40 02 01 104 -ПЗ

Студент

Руководитель

Р.Е. Власов

И. В. Лукьянова

МИНСК 2022

Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет   
информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Дисциплина: Арифметические и логические основы вычислительной техники

УТВЕРЖДАЮ

Заведующий кафедрой ЭВМ

\_\_\_\_\_\_\_\_\_\_\_\_ Д. И. Самаль

«\_\_\_» \_\_\_\_\_\_\_\_\_\_\_2 г.

ЗАДАНИЕ

по курсовой работе студента  
 Власова Романа Евгеньевича

1. Тема работы: «Проектирование и логический синтез сумматора-умножителя двоично-четвертичных чисел».
2. Срок сдачи студентом законченной работы:
3. Исходные данные к работе:
   1. Исходные сомножители: Мн = 72,97; Мт = 95,39;
   2. Алгоритм умножения: Б;
   3. Метод умножения: умножение закодированного двоично-четвертичного множимого на два разряда двоичного множителя одновременно в прямых кодах;
   4. Коды четверичных цифр множимого для перехода к двоично-четвертичной системе кодирования; 04 – 00, 14 – 10, 24 – 11, 34 – 01;
   5. Тип синтезируемого умножителя: 2;
   6. Логический базис для реализации ОЧС: A6; метод минимизации– карты Карно-Вейча;
   7. Логический базис для реализации ОЧУ: А2, метод минимизации – Квайна-Мак-Класки.
4. Содержание пояснительной записки (перечень подлежащих разработке вопросов):

Введение. 1. Разработка алгоритм умножения. 2. Разработка структурной схемы сумматора-умножителя. 3. Разработка функциональных схем основных узлов сумматора-умножителя. 4. Синтез комбинационных схем устройств на основе мультиплексоров. 5. Оценка результатов разработки. Заключение. Список литературы.

1. Перечень графического материала:
   1. Сумматор-умножитель второго типа. Схема электрическая структурная.
   2. Одноразрядный четвертичных сумматор. Схема электрическая функциональная.
   3. Одноразрядный четвертичных умножитель. Схема электрическая функциональная.
   4. Одноразрядный четвертичных сумматор. Реализация на мультиплексорах. Схема электрическая функциональная.
   5. Структурная схема преобразователя множителя.

КАЛЕНДАРНЫЙ ПЛАН

|  |  |  |  |
| --- | --- | --- | --- |
| Наименование этапов курсовой работы | Объём этапа, % | Срок выполнения этапа | Примечания |
| Разработка алгоритма умножения | 10 |  |  |
| Разработка структурной схемы сумматора-умножителя | 10 |  |  |
| Разработка функциональных схем основных узлов сумматора-умножителя | 50 |  |  |
| Синтез комбинационных схем устройств на основе мультиплексоров | 10 |  |  |
| Завершение оформления пояснительной записки | 20 |  |  |

Дата выдачи задания:

Руководитель И.В. Лукьянова

ЗАДАНИЕ ПРИНЯЛ К ИСПОЛНЕНИЮ \_\_\_\_\_\_\_\_\_\_

СОДЕРЖАНИЕ

ВВЕДЕНИЕ………………………………………………………………………..5

1.Разработка алгоритма умножения…………….……………………………….6

2.Разработка структурной схемы сумматора-умножителя...…………………..9

3.Разработка функциональных схем основных узлов сумматора-умножителя………………………………………...…………………………….10

3.1 Логический синтез одноразрядного четверичного сумматора…………...10

3.2 Логический синтез одноразрядного четверичного сумматора – умножителя…........................................................................................................13

4. Синтез комбинационных схем на основе мультиплексора………………...23

5. Оценка результатов разработки………………....…….…….………………..26

5.1 Логический синтез преобразоваетля множителя………...............................26

5.2 Расчёт времени умножения на n разрядов множителя.................................27

Заключение……………………………………………………………………….28

Список использованных источников…………………………...………………29

ПРИЛОЖЕНИЕ А. Сумматор – умножитель второго типа. Схема электрическая структурная……………………………………………………...30

ПРИЛОЖЕНИЕ Б. Одноразрядный четвертичный сумматор. Схема электрическая функциональная………………………………………………...31

ПРИЛОЖЕНИЕ В. Одноразрядный четвертичный умножитель-сумматор. Схема электрическая функциональная………………………………...………32

ПРИЛОЖЕНИЕ Г. Одноразрядный четвертичный сумматор. Реализация на мультиплексорах. Схема электрическая функциональная……………………33

ПРИЛОЖЕНИЕ Д. Структурная схема преобразователя множителя……….34

ПРИЛОЖЕНИЕ Е. Ведомость документов………………………………..…..35

**ВВЕДЕНИЕ**

В курсовой работе была поставлена следующая цель: разработать устройство одноразрядного четверичного умножителя-сумматора. А также следующие задачи: перевести числа из одной системы счисления в другую и представить их в заданной условием кодировке, перемножить числа определённым алгоритмом, составить таблицы истинности, построить графические и структурные функциональные схемы и оценить их время работы, минимизировать функции картами Карно-Вейча и методом Квайна-Мак-Класки, произвести логический синтез преобразователя множителя, оценить результаты разработки.

# **разработка алгоритма умножения**

1. Перевод сомножителей из десятичной системы счисления в четвертичную (мантисса должна содержать восемь четвертичных разрядов).

**Множимое**

Мн = 72,97

\_72|4 0,97 Мн4 = 1020,332

72 \_18 |4 4 Мн2/4 =10 00 11 00, 01 01 11

0 16 4 |4 3,88 (закодировано по

2 4 1 4 заданию)

0 3,52

4

2,08

**Множитель**

Мт = 95,39

\_95|4 0,39 Мт4 = 1133,120

92 \_23|4 4 Мт2/4 = 01 01 11 11, 01 10 00

3 20 5|4 1,56 (стандартная кодировка)

3 4 1 4

1 2,24

4

0,96

Сомножители в форме с плавающей запятой:

Мн = 0, 10 00 11 00 01 01 11 00 PМн = 0. 01 00 +0410

Мт = 0, 01 01 11 11 01 10 00 11 PМт = 0. 00 11 +0410

Умножение двух чисел с плавающей запятой на два разряда множителя одновременно в прямых кодах.

Порядок произведения равен сумме порядков сомножителей. Результат кодируется в соответствии с заданием на кодировку множимого.

Вычисление порядка произведения:

PМн = 0. 01 00 0410

PМт = 0. 01 00 0410

0. 10 00 0810

Знак произведения:

зн Мн  зн Мт = 0  0 = 0

Преобразованный множитель и множимое в четверичной системе имеют вид:

Мн4=0,10203320

Мт4=0,11331203

Для умножения мантисс необходимо предварительно преобразовать множитель. При умножении чисел в прямых кодах диада 11(34) заменяется на триаду 1. Преобразованный множитель имеет вид: Мтп4 = 0,120120 или Мтп2= 01 10 00  01 10 00.

Для выполнения операции умножения нам понадобятся заготовки в виде 2313002; 0, 1020332; 0, 2101330.

Перемножение мантисс по алгоритму “Б” представлено в таблице 1.1.

Таблица 1.1 – Перемножение мантисс

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Четвертичная с/с** | | | **Двоично-четвертичная с/с** | | **Комментарии** |
| **1** | | | **2** | | **3** |
| 0. | 0000000 | 0000000 | 0. | 00 00 00 00 00 00 00 00 00 00 00 00 00 00 |  |
| 0. | 0000000 | 0000000 | 0. | 00 00 00 00 00 00 00 00 00 00 00 00 00 00 |  |
| 0. | 0000000 | 0000000 | 0. | 00 00 00 00 00 00 00 00 00 00 00 00 00 00 |  |
| 0. | 0000002 | 1013300 | 0. | 00 00 00 00 00 00 11 01 00 10 01 01 00 00 |  |
| 0. | 0000002 | 1013300 | 0. | 00 00 00 00 00 00 11 01 00 10 01 01 00 00 |  |
| 0. | 0000010 | 2033200 | 0. | 00 00 00 00 00 10 00 11 00 01 01 11 00 00 |  |
| 0. | 0000012 | 3113100 | 0. | 00 00 00 00 00 10 11 01 10 10 01 10 00 00 |  |
| 3. | 3333231 | 3002000 | 0. | 01 01 01 01 11 01 10 11 00 00 10 00 00 00 |  |
| 3. | 3333310 | 2121100 | 0. | 01 01 01 01 01 10 00 11 10 11 10 10 00 00 |  |
| 0. | 0000000 | 0000000 | 0. | 00 00 00 00 00 00 00 00 00 00 00 00 00 00 |  |
| 3. | 3333310 | 2121100 | 0. | 01 01 01 01 01 10 00 11 10 11 10 10 00 00 |  |
| 0. | 0021013 | 3000000 | 0. | 00 00 11 10 00 10 01 01 00 00 00 00 00 00 |  |
| 0. | 0020330 | 1121100 | 0. | 00 00 11 00 01 01 00 10 10 11 10 10 00 00 |  |
| 0. | 0102033 | 2000000 | 0. | 00 10 00 11 00 01 01 11 00 00 00 00 00 00 |  |
| 0. | 0123023 | 3121100 | 0. | 00 10 11 01 00 11 01 01 10 11 10 10 00 00 |  |

После окончания умножения необходимо оценить погрешность вычислений. Для этого полученное произведение (Мн ∙ Мт4 = 0,01230233121100, РМн ∙ Мт = 8) приводится к нулевому порядку, а затем переводится в десятичную систему счисления:

Мн ∙ Мт4 = 1230233.121100 РМн ∙ Мт = 0 ;

Мн ∙ Мт10 = 6959.39453125

Результат прямого перемножения операндов даёт следующее значение:

Мн10 ∙ Мт10 = 6960.608

Абсолютная погрешность:

.

Относительная погрешность:

.

Эта погрешность получена за счёт приближенного перевода из десятичной системы счисления в четверичную обоих сомножителей, а также за счёт округления полученного результата произведения.

# **разработка структурной схемы сумматора-умножителя**

В расчетной работе предполагается разработка двух типов структур сумматора-умножителя. Структура 2-го типа строится на базе заданных узлов ОЧУС и ОЧС.

Если устройство работает как сумматор, то оба слагаемых последовательно заносятся в регистр множимого, а на управляющий вход формирователя дополнительного кода поступает «1». В ОЧС первое слагаемое складывается с нулём, записанным в регистре результата, и переписывается без изменений в регистр результата. На втором такте второе слагаемое из регистра множимого через цепочку ОЧУС попадает на входы ОЧС и складывается с первым слагаемым, хранящимся в регистре результата.

Если устройство работает как умножитель, то множимое и множитель помещаются в соответствующие регистры, а на управляющий вход ФДК поступает «0». Диада множителя поступает на входы преобразователя множителя. Единица переноса в следующую диаду, если она возникает, должна быть добавлена к следующей диаде множителя.

В случае когда выход 2ПМ переходит в единичное состояние инициализируется управляющий вход F1 формирователя дополнительного кода, и на выходах ФДК формируется дополнительный код множимого с обратным знаком. На выходах 3 и 4 ПМ формируются диады преобразованного множителя, которые поступают на входы ОЧУС вместе с диадами множимого. На трёх выходах ОЧУС формируется результат умножения диад Мн·Мт плюс перенос из предыдущего ОЧУС. Максимальной цифрой в диаде преобразованного множителя является двойка, поэтому перенос, формируемый ОЧУС, может быть только двоичным («0» или «1»). Частичные произведения, получаемые на выходах ОЧУС, складываются с накапливаемой частичной суммой из регистра результата с помощью цепочки. Количество тактов умножения определяется разрядностью Мт.

Структурная схема сумматора-умножителя второго типа для алгоритма умножения “Б” приведена в приложении А.

# **разработка функциональных схем основных узлов сумматора-умножителя**

# **Логический синтез одноразрядного четверичного сумматора**

Принцип работы ОЧС представлен с помощью таблицы истинности (табл.3.1). Разряды обоих слагаемых закодированы : 0 - 00; 1 - 10; 2 - 11; 3 - 01.

Так как ОЧС синтезируется для схемы 2-го типа, то безразличные наборы в таблице истинности отсутствуют.

Таблица истинности ОЧС. Таблица 3.1.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| x1 | x2 | y 1 | y 2 | p | П | S1 | S2 | Пример операции в четверичной с/с |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0+0+0=00 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0+0+1=01 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0+3+0=03 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0+3+1=10 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0+1+0=01 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0+1+1=02 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0+2+0=02 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0+2+1=03 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 3+0+0=03 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 3+0+1=10 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 3+3+0=12 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 3+3+1=13 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 3+1+0=10 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 3+1+1=11 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 3+2+0=11 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 3+2+1=12 |

Окончание таблицы

Продолжение таблицы

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1+0+0=01 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1+0+1=02 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1+3+0=10 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1+3+1=11 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1+1+0=02 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1+1+1=03 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1+2+0=03 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1+2+1=10 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 2+0+0=02 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 2+0+1=03 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 2+3+0=11 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 2+3+1=12 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 2+1+0=03 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 2+1+1=10 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 2+2+0=10 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 2+2+1=11 |

Минимизацию переключательных функций проведём с помощью карт Карно и Вейча. Для функций *П, S1, S2* заполненные карты приведены на рисунке 3.1 (а, б, в) соответственно.

**Минимизация функции картами Вейча:**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  | | | |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 1 |  | 1 | 1 |  |  |  |  |
|  |  | 1 | 1 | 1 | 1 | 1 |  |  |  |  |
|  |  | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |  |
|  |  |  |  |  |  |  | 1 |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  | |  |  |  |  |  |
|  |  |  | p | |  | | p | |  |  |  |

Рисунок 3.1а) – Карты Вейча (Карно) для минимизации функций:

Минимизировав функцию, получим:

**Минимизация функции картами Вейча:**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  | | | |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | 1 |  |  |  |  | 1 | 1 | 1 |  |  |
|  |  |  | 1 |  | 1 | 1 |  | 1 |  |  |
|  |  |  | 1 | 1 | 1 | 1 |  |  |  |  |
|  |  | 1 | 1 |  | 1 |  |  | 1 |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  | |  |  |  |  |  |
|  |  |  | p | |  | | p | |  |  |  |

Рисунок 3.1б) – Карты Вейча (Карно) для минимизации функций:

Минимизировав функцию, получим:

**Минимизация функции картами Вейча:**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
| 00 |  |  |  | 1 | 1 | 1 | 1 |  |
| 01 | 1 |  | 1 | 1 |  | 1 |  |  |
| 11 | 1 | 1 | 1 |  |  |  |  | 1 |
| 10 |  | 1 |  |  | 1 |  | 1 | 1 |

Рисунок 3.1в) – Карты Карно для минимизации функций:

Минимизировав функцию, получим:

Необходимо выразить полученные функции в заданном логическом базисе(A6). Для этого представим функцию вида ДНФ как , где – элементарные конъюнкции. Тогда по правилу де Моргана: . В соответствии с данной формулой функции примут вид:

Схема электрическая функциональная ОЧС представлена в прил. Б.

# **3.2 Логический синтез одноразрядного четверичного умножителя**

ОЧУС - это комбинационное устройство, имеющее шесть входов (два разряда из регистра множимого, два разряда из регистра множителя, вход переноса и управляющий вход h) и три выхода. Принцип работы ОЧУС представлен с помощью таблицы истинности (табл. 13).

Разряды множителя закодированы : 0 - 00; 1 - 01; 2 - 10; 3 - 11.

Разряды множимого закодированы : 0 - 00; 1 - 10; 2 - 11; 3 - 01.

Управляющий вход h определяет тип операции: 0 - умножение закодированных цифр, поступивших на информационные входы, и добавление переноса; 1 - вывод на выходы без изменения значения разрядов, поступивших из регистра множимого. В табл. 2 выделено 36 безразличных наборов, так как на входы ОЧУС из разрядов множителя не может поступить код 11, при работе ОЧУС как сумматора на вход переноса не может поступить единица, а при умножении на ноль или единицу на вход переноса также не может поступить единица.

Таблица истинности ОЧУС. Таблица 3.2.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Пер | Мн | | Мт | | Упр. | Перенос | Результат | | Результат операции |  |
| Р1 | х1 | х2 | у1 | у2 | h | Р | Q1 | Q2 | в четверичной с/с |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0·0+0=00 |  |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | Выход – код «00» |  |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0·1+0=00 |  |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | Выход – код «00» |  |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0·2+0=00 |  |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | Выход - код «00» |  |
| 0 | 0 | 0 | 1 | 1 | 0 | х | х | х | 0·3+0=00 |  |
| 0 | 0 | 0 | 1 | 1 | 1 | х | х | х | выход - код «00» |  |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 3·0+0=00 |  |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | выход - код «03» |  |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 3·1+0=03 |  |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | выход - код «03» |  |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 3·2+0=12 |  |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | выход - код «03» |  |
| 0 | 0 | 1 | 1 | 1 | 0 | х | х | х | 3·3+0=21 |  |
| 0 | 0 | 1 | 1 | 1 | 1 | х | х | х | выход - код «03» |  |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1·0+0=00 |  |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | выход - код «01» |  |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1·1+0=01 |  |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | выход - код «01» |  |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1·2+0=02 |  |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | выход - код «01» |  |
| 0 | 1 | 0 | 1 | 1 | 0 | х | х | х | 1·3+0=03 |  |

Окончание таблицы

Продолжение таблицы

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 1 | 0 | 1 | 1 | 1 | х | х | х | выход - код «01» |  |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 2·0+0=00 |  |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | Выход - код «02» |  |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 2·1+0=02 |  |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | выход - код «02» |  |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 2·2+0=10 |  |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | выход - код «02» |  |
| 0 | 1 | 1 | 1 | 1 | 0 | х | х | х | 2·3+0=12 |  |
| 0 | 1 | 1 | 1 | 1 | 1 | х | х | х | выход - код «02» |  |
| 1 | 0 | 0 | 0 | 0 | 0 | x | x | x | 0·0+1=01 |  |
| 1 | 0 | 0 | 0 | 0 | 1 | x | x | x | выход - код «00» |  |
| 1 | 0 | 0 | 0 | 1 | 0 | x | x | x | 0·1+1=01 |  |
| 1 | 0 | 0 | 0 | 1 | 1 | x | x | x | выход – код «00» |  |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0·2+1=01 |  |
| 1 | 0 | 0 | 1 | 0 | 1 | x | x | x | Выход - код «00» |  |
| 1 | 0 | 0 | 1 | 1 | 0 | х | х | х | 0·3+1=01 |  |
| 1 | 0 | 0 | 1 | 1 | 1 | х | х | х | Выход - код «00» |  |
| 1 | 0 | 1 | 0 | 0 | 0 | x | x | x | 3·0+1=01 |  |
| 1 | 0 | 1 | 0 | 0 | 1 | x | x | x | выход - код «03» |  |
| 1 | 0 | 1 | 0 | 1 | 0 | x | x | x | 3·1+1=10 |  |
| 1 | 0 | 1 | 0 | 1 | 1 | x | x | x | выход - код «03» |  |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 3·2+1=13 |  |
| 1 | 0 | 1 | 1 | 0 | 1 | x | x | x | выход – код «03» |  |
| 1 | 0 | 1 | 1 | 1 | 0 | х | х | х | 3·3+1=22 |  |

Окончание таблицы

Продолжение таблицы

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 0 | 1 | 1 | 1 | 1 | х | х | х | выход – код «03» |  |
| 1 | 1 | 0 | 0 | 0 | 0 | x | x | x | 1·0+1=01 |  |
| 1 | 1 | 0 | 0 | 0 | 1 | x | x | x | выход - код «01» |  |
| 1 | 1 | 0 | 0 | 1 | 0 | x | x | x | 1·1+1=02 |  |
| 1 | 1 | 0 | 0 | 1 | 1 | x | x | x | выход - код «01» |  |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1·2+1=03 |  |
| 1 | 1 | 0 | 1 | 0 | 1 | x | x | x | выход – код «01» |  |
| 1 | 1 | 0 | 1 | 1 | 0 | х | х | х | 1·3+1=10 |  |
| 1 | 1 | 0 | 1 | 1 | 1 | х | х | х | выход - код «01» |  |
| 1 | 1 | 1 | 0 | 0 | 0 | x | x | x | 2·0+1=01 |  |
| 1 | 1 | 1 | 0 | 0 | 1 | x | x | x | выход - код «02» |  |
| 1 | 1 | 1 | 0 | 1 | 0 | x | x | x | 2·1+1=03 |  |
| 1 | 1 | 1 | 0 | 1 | 1 | x | x | x | выход - код «02» |  |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 2·2+1=11 |  |
| 1 | 1 | 1 | 1 | 0 | 1 | x | x | x | выход - код «02» |  |
| 1 | 1 | 1 | 1 | 1 | 0 | х | х | х | 2·3+1=13 |  |
| 1 | 1 | 1 | 1 | 1 | 1 | х | х | х | выход - код «02» |  |

Минимизацию переключательной функции Р проведём с помощью метода Квайна-Мак-Класки

Сформируем кубический комплекс P, состоящий из 0-кубов:

P=(001100, 011100, 101100, 111100).

Выполнив разбиение комплекса K на группы, получим:

, ,

В результате сравнения кубов получим:

,

После выполнения первого шага алгоритма простых импликант не выявлено. Полученные 1-кубы разобьем на n групп кубов в зависимости от местоположения свободной координаты в кубе.

, .

Далее выполняется сравнение кубов внутри каждой из групп. Для рассматриваемого примера сравнение привело к образованию двух новых кубов хx11000 и xx1100

, , .

Дальнейшее сравнение не приводит к формированию новых кубов Таким образом, получено:

fсокр.ДНФ ={} .

Таблица 3.3

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Простые импликанты | Конституенты единицы | | | |  | |
| 001100 | 011100 | 101100 | 111100 |  |
| xx1100 | \* | \* | \* | \* |  |

f МДНФ = { xх1100 } = –тупиковая форма;

Минимизацию переключательной функции Q1 проведем с помощью карты Карно

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| р | 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
| 000 |  |  |  |  | х | х |  |  |
| 001 |  |  |  |  | х | х |  | 1 |
| 011 |  | 1 | 1 | 1 | х | х | 1 |  |
| 010 |  | 1 | 1 | 1 | х | х | 1 | 1 |
| 110 | х | х | х | х | х | х | х |  |
| 111 | х | х | х | х | х | х | х | 1 |
| 101 | х | х | х | х | х | х | х |  |
| 100 | х | х | х | х | х | х | х | 1 |

Минимизировав функцию, получим:

Сформируем кубический комплекс K, состоящий из 0-кубов:

K=(001001, 001100, 001100, 001010, 001011, 001101, 011001, 011010, 011011, 011101, 101100, 110100).

Выполнив разбиение комплекса K на группы, получим:

, ,

В результате сравнения кубов получим:

,

После выполнения первого шага алгоритма простых импликант не выявлено. Полученные 1-кубы разобьем на n групп кубов в зависимости от местоположения свободной координаты в кубе.

, , ,

. .

Далее выполняется сравнение кубов внутри каждой из групп. Для рассматриваемого примера сравнение в группах привело к образованию 4 новых кубов и кубов, не образовавших новых {}.

. , ,

. .

Дальнейшее сравнение

, ,

Таким образом, получено множество простых импликант:

fсокр.ДНФ={} .

Далее аналогично методу Квайна строится импликантная таблица (табл.3.4). Формирование минимального покрытия сводится к выявлению обязательных простых импликант и построению на их основе тупиковых форм.

Таблица 3.4

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Простая импликанта | Конституенты единицы | | | | | | | | | | | |
| 001 001 | 001 010 | 001011 | 001101 | 011001 | 011010 | 011011 | 011101 | 101100 | 110100 | 001100 | 010100 | |
|  |  |  |  |  |  |  |  |  | \* | \* | \* | \* | |
|  | \* |  | \* | \* | \* |  | \* | \* |  |  |  |  | |
|  | \* |  |  | \* | \* |  |  |  |  |  |  |  | |
| 0x10xx | \* | \* | \* | \* | \* | \* | \* |  |  |  |  |  | |
| 0x101x |  | \* | \* |  |  | \* | \* |  |  |  |  |  | |
| 01101x |  |  |  |  |  | \* | \* |  |  |  |  |  | |

Из таблицы следует, что простые импликанты  являются обязательными. Оставшиеся две простые импликанты не являются обязательными и образуют следующие две тупиковые формы.

f МДНФ = {} = 1-я тупиковая форма;

f МДНФ = {} = – 2-я тупиковая форма;

f МДНФ = {} = – 3-я тупиковая форма.

f МДНФ = {} = – 4-я тупиковая форма.

Необходимо выразить полученные функции в заданном логическом базисе(A2). Для этого представим функцию вида ДНФ как , где – элементарные конъюнкции. Тогда по правилу де Моргана: . Стоит отметить, что инверсия в данном базисе заменяется суммой по модулю 2, где на 1 из входов поступает сигнал “1”

Схема электрическая функциональная ОЧУС представлена в прил. В.

Проведем оценку эффективности минимизациии функций необходимо посчитать цену схемы до минимизации и цену схемы после минимизации. Эффективность минимизации *k* определяется как:

Все рассчитанные данные сведены в таблицу 3.4 и 3.5

Таблица 3.4 Эффективность минимизации ОЧС

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Вых.  схемы | Рассчитанная цена схемы | | | Эфф.  мин. k |
| До минимизации | | После минимизации |
| П | 16 5 + 16 = 96 |  | 20 + 7 = 27 | 3,6 |
| S1 | 16 5 + 16 = 96 |  | 8 4 + 8 = 40 | 2,4 |
| S2 | 16 5 + 16 = 96 |  | 8 4 + 8 = 40 | 2,4 |

Табл.3.5 Эффективность минимизации ОЧУС

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Вых.  схемы | Рассчитанная цена схемы | | | Эфф.  мин. k |
| До минимизации | | После минимизации |
|  | 4 6 + 4 = 28 |  | 4 | 7 |
|  | 12 6 + 12 = 72 |  | 17 + 4 = 21 | 3.4 |
|  | 12 6 + 12 = 72 |  | 24 + 5 = 29 | 2.5 |

4 СИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ НА ОСНОВЕ МУЛЬТИПЛЕКСОРА

Мультиплексор – это логическая схема, имеющая n входов, m управляющих входов и один выход. При этом должно выполняться равенство .На выход мультиплексора может быть пропущен без изменений любой (один) логический сигнал, поступающий на информационные входы. Порядковый номер информационного входа, значение с которого в данный момент должно быть передано на выход, должно быть передано на выход, определяется двоичным кодам на управляющих входах. Для синтеза ОЧС будем использовать мультиплексор “один из восьми” (1 из 8). Входы – это информационные входы мультиплексора. Входы a1, a2, a3– управляющие входы

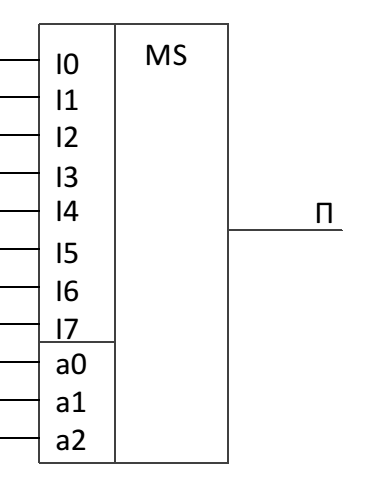


Рис. 4.1 - Мультиплексор “один из восьми”

Используя таблицу истинности ОЧС, составим таблицу истинности для построения ОЧС на мультиплексорах.(табл. 4.1)

| ***х1*** | ***х2*** | ***у1*** | ***у2*** | ***p*** | **П** | **П** | ***S1*** | ***S1*** | ***S2*** | ***S2*** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **1** | **2** | **3** | **4** | **5** | **6** |  | **7** |  | **8** |  |
| 0 | 0 | 0 | 0 | 0 | 0 | *у2* | 0 |  | 0 |  |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | “0” | 1 |  | 0 |  |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 |  | 0 |  | 1 |  |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | “1” | 0 |  | 0 | *у2* |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 |  | 1 |  | 0 |  |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 |  | 1 |  | 1 |  |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 |  | 1 |  | 1 |  |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |  | 0 | *у2* | 1 |  |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| Схема электрическая функциональная ОЧС на мультиплексорах представлена в прил. Г | | | | | | | | | | |

**5.1 Логический синтез преобразователя множителя**

Преобразователь множителя (ПМ) служит для исключения из множителя диад 11 и замены их на триады 10.

Таблица 5.1 - Таблица истинности ПМ.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Входы ПМ | | | Выходы ПМ | | | |
| Q1 | Q2 | p | П | S1 | S2 | M |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 |

Минимизируем выходные функции картами Карно

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Минимизация функции P:**   |  |  |  |  |  | | --- | --- | --- | --- | --- | |  | 00 | 01 | 11 | 10 | | 0 |  |  | 1 |  | | 1 |  |  | 1 | 1 | | **Минимизация функции :**   |  |  |  |  |  | | --- | --- | --- | --- | --- | |  | 00 | 01 | 11 | 10 | | 0 |  |  |  | 1 | | 1 |  | 1 |  |  | |
| **Минимизация функции :**   |  |  |  |  |  | | --- | --- | --- | --- | --- | |  | 00 | 01 | 11 | 10 | | 0 |  | 1 | 1 |  | | 1 | 1 |  |  | 1 | | **Минимизация функции М (знак «-»):**   |  |  |  |  |  | | --- | --- | --- | --- | --- | |  | 00 | 01 | 11 | 10 | | 0 |  |  | 1 |  | | 1 |  |  |  | 1 | |

Структурная схема преобразователя множителя представлена в приложении Д.

**5.2 Оценка результатов разработки**

Точс - время формирования единицы переноса в ОЧС

Точус - время умножения на одном ОЧУС

Тсдв - время сдвига частичной суммы

Tфдк - время формирования доп. кода множимого

Тпр. мт – время формирования дополнительного кода множителя.

Точс =3\* Тлэ ;

Точус =3\* Тлэ ;

# Тлэ **-** время работы одного логического элемента.

Tу = 8\*( Тпр. мт + Тсдв + Tфдк + 3\*16\* Тлэ + 3\*17\* Тлэ).

ЗАКЛЮЧЕНИЕ

В данной курсовой работе был спроектирован сумматор-умножитель, который позволяет складывать и умножать два числа в двоичном коде. Схема была ускорена благодаря использованию умножения на два разряда (или в четверичном коде), что позволило сократить время умножения. Была разработана схема умножения двух чисел в заданной кодировке. Были спроектированы и изображены:

* структурная схема устройства;
* функциональные схемы его узлов (в том числе и на базе мультиплексоров).

Спроектированные схемы были предварительно минимизированы с помощью метода Квайна-Мак-Класки и карт Карно и Вейча. Также они были приведены к требуемому базису. Оценка результатов разработки была просчитана.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

[1] Луцик, Ю. А. Арифметические и логические основы вычислительной техники : пособие / Ю. А. Луцик, Н. А. Искра, И. В. Лукьянова. – Минск : БГУИР, 2016. – 75 с.

[2] Луцик, Ю. А. Арифметические и логические основы вычислительной техники : учеб. пособие / Ю. А. Луцик, И. В. Лукьянова. – Минск : БГУИР, 2014. – 174 с.

[3] СТП 01–2013. Дипломные проекты (работы): общие требования. – Введ. 2013–01–01. – [Электронный ресурс]. – 2013 – Режим доступа : http://library.bsuir.by/online/showpage.jsp?PageID=86151.

[4] Единая система конструкторской документации (ЕСКД) : справ. пособие / С. С. Борушек [и др.]. – М. : Изд-во стандартов, 1989. – 352 с.

[5] ГОСТ эксперт. Единая база ГОСТов РФ. [Электронный ресурс]. – Режим доступа : http://gostexpert.ru/search?text=%D0%939E%D0%A1%D0% A219.202-78&gost=1.

[6] Основные требования к текстовым документам (ГОСТ 2.105–95) [Электронный ресурс]. – 2014 – Режим доступа : http://graph.power.nstu.ru/ wolchin/umm/eskd/eskd/GOST/2\_105.html.

**ПРИЛОЖЕНИЕ А**

(*обязательное*)

Сумматор-умножитель второго типа. Схема электрическая структурная.

**ПРИЛОЖЕНИЕ Б**

(*обязательное*)

Одноразрядный четвертичных сумматор. Схема электрическая функциональная.

**ПРИЛОЖЕНИЕ В**

(*обязательное*)

Одноразрядный четвертичный сумматор - умножитель. Схема электрическая функциональная.

**ПРИЛОЖЕНИЕ Г**

(*обязательное*)

Одноразрядный четвертичных сумматор. Реализация на мультиплексорах. Схема электрическая функциональная.

**ПРИЛОЖЕНИЕ Д**

(*обязательное*)

Структурная схема преобразователя множителя

**ПРИЛОЖЕНИЕ Е**

(*обязательное*)

Ведомость документов